

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-031588

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

H01L 21/336
G09F 9/30
H01L 21/28
H01L 21/3205
H01L 29/786
H05B 33/10
H05B 33/14

(21)Application number : 2001-219304

(71)Applicant : SONY CORP

(22)Date of filing : 19.07.2001

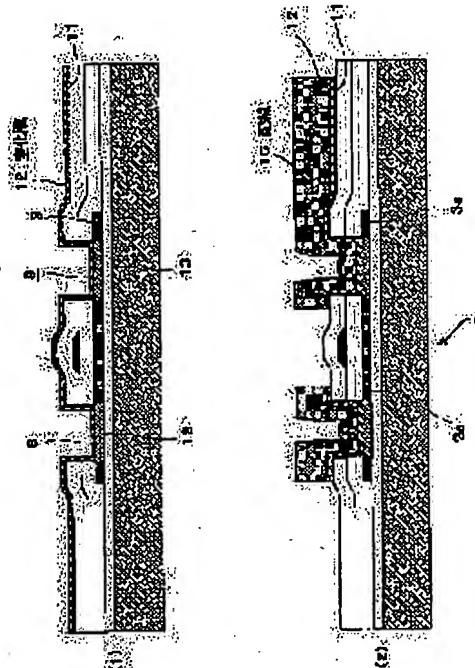
(72)Inventor : TERAJIMA HIDENOBU

(54) MANUFACTURING METHOD FOR THIN-FILM SEMICONDUCTOR DEVICE, AND
MANUFACTURING METHOD FOR DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for a thin-film transistor which has superior I_{ds} characteristics, while being predominant for making the thin-film transistor fine and the resistance of contact with a wire being stable.

SOLUTION: A connection hole 8, which reaches a silicon thin-film layer 3 of the thin-film transistor 6, is formed in a 2nd insulation film 4 and on the 3rd insulation film 7, a 3rd insulation film 7 covering the thin-film transistor 6 formed on a substrate 1 and a titanium-based material film 11 is formed, covering the internal wall of the connection hole 8. Then a nitride film 12 is formed, by nitrifying the titanium-based material film 11 from the top-surface side, by carrying out heat treatment in a nitrogen gas atmosphere. At this time, hydrogen gas is added to the nitrogen gas atmosphere, and the heat treatment is carried out; then a wiring material film is formed on the nitride film 12 and patterned so as to form a wire 15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-31588

(P2003-31588A)

(43) 公開日 平成15年1月31日 (2003.1.31)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-コード [*] (参考) |
|-------------------------------------|-------|---------------|-------------------------|
| H 0 1 L 21/336 | | G 0 9 F 9/30 | 3 3 8 3 K 0 0 7 |
| G 0 9 F 9/30 | 3 3 8 | H 0 1 L 21/28 | 3 0 1 R 4 M 1 0 4 |
| H 0 1 L 21/28 | 3 0 1 | H 0 5 B 33/10 | 5 C 0 9 4 |
| 21/3205 | | 33/14 | A 5 F 0 3 3 |
| 29/786 | | H 0 1 L 29/78 | 6 1 6 K 5 F 1 1 0 |
| 審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く | | | |

(21) 出願番号 特願2001-219304 (P2001-219304)

(22) 出願日 平成13年7月19日 (2001.7.19)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 寺島 秀信

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

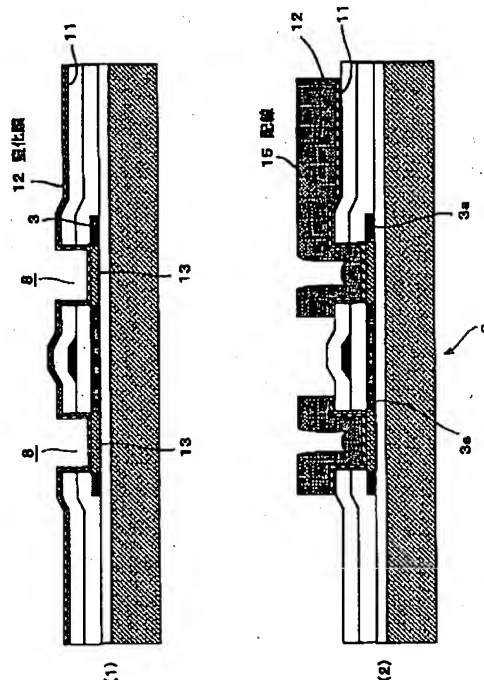
最終頁に続く

(54) 【発明の名称】 薄膜半導体装置の製造方法および表示装置の製造方法

(57) 【要約】

【課題】 微細化に優位でかつ配線とのコンタクト抵抗が安定でありながらも I_{ds} 特性に優れた薄膜トランジスタの製造方法を提供する。

【解決手段】 基板1上に形成された薄膜トランジスタ6を覆う第2絶縁膜4および第3絶縁膜7に、薄膜トランジスタ6のシリコン薄膜層3に達する接続孔8を形成し、接続孔8の内壁を覆う状態で第3絶縁膜7上にチタン系材料膜11を成膜する。次いで、窒素ガス雰囲気中において熱処理を施すことによって、チタン系材料膜11を表面側から窒化させて窒化膜12を形成する。この際、窒素ガス雰囲気中に水素ガスを添加して熱処理を行う。その後、窒化膜12上に配線材料膜を成膜し、これをパターニングすることによって配線15を形成する。



【特許請求の範囲】

【請求項1】 基板上に形成された薄膜トランジスタを覆う絶縁膜に、当該薄膜トランジスタのシリコン薄膜層に達成する接続孔を形成し、当該接続孔の内壁を覆う状態で前記絶縁膜上にチタン系材料膜を成膜する工程と、窒素ガス雰囲気中において熱処理を施すことによって、前記チタン系材料膜を表面側から窒化させて窒化膜を形成する工程と、

前記窒化膜上に配線材料膜を成膜する工程とを行う薄膜半導体装置の製造方法において、

前記窒化膜を形成する工程では、前記窒素ガス雰囲気中に水素ガスを添加することを特徴とする薄膜半導体装置の製造方法。

【請求項2】 請求項1記載の薄膜半導体装置の製造方法において、

前記熱処理を施す際の窒素ガス雰囲気中には、前記水素ガスが3atms%～5atms%の割合で添加されることを特徴とする薄膜半導体装置の製造方法。

【請求項3】 請求項1記載の薄膜半導体装置の製造方法において、

前記熱処理を施す際には、前記窒素ガス雰囲気を25℃/分よりも速い昇温速度で所定の熱処理温度に昇温することを特徴とする薄膜半導体装置の製造方法。

【請求項4】 請求項1記載の薄膜半導体装置の製造方法において、

前記熱処理は、前記窒素ガス雰囲気を250℃～420℃の熱処理温度に昇温して行われることを特徴とする薄膜半導体装置の製造方法。

【請求項5】 基板上に形成された薄膜トランジスタを覆う絶縁膜に、当該薄膜トランジスタのシリコン薄膜層に達成する接続孔を形成し、当該接続孔の内壁を覆う状態で前記絶縁膜上にチタン系材料膜を成膜する工程と、窒素ガス雰囲気中において熱処理を施すことによって、前記チタン系材料膜を表面側から窒化させて窒化膜を形成する工程と、

前記窒化膜上に配線材料膜を成膜する工程と、

前記配線材料およびチタン系材料膜をパターンニングしてなる配線に接続させて有機EL素子を形成する工程とを行う表示装置の製造方法において、

前記窒化膜を形成する工程では、前記窒素ガス雰囲気中に水素ガスを添加することを特徴とする表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板上に薄膜トランジスタを設けてなる薄膜半導体装置の製造方法および薄膜トランジスタに有機EL素子を接続させてなる表示装置の製造方法に関する。

【0002】

【従来の技術】 薄膜トランジスタ (thin film transist

or) を用いた駆動回路を有する表示装置においては、画像表示の高精細化が進展の進展に伴い、駆動回路を構成する薄膜トランジスタのさらなる微細化が要求されている。

【0003】 ところで、薄膜トランジスタを備えた薄膜半導体装置においては、薄膜トランジスタのシリコン薄膜層に接続させるプラグ材料として、加工が容易であり、かつシリコンとの安定したコンタクトが実現できることを理由として、アルミニウム合金系の材料が用いられてきた。しかし、アルミニウムとシリコンとの反応性が非常に高いため、プラグ形成の際には、コンタクト部分に幅広のAl-Si反応層が形成されることになる。このため、形成されるAl-Si反応層の幅よりもシリコン薄膜層におけるソース・ドレイン幅が広がるように、薄膜トランジスタを設計する必要がある、これが薄膜トランジスタの微細化を制限する要因になっていた。

【0004】 また、接続孔の底部に露出させたシリコン薄膜層表面の自然酸化膜の制御も困難であり、自然酸化膜が厚い部分ではコンタクト抵抗が大きく、一方、自然酸化膜が薄い部分では過剰なAl-Si反応が発生することになる。このため、コンタクト抵抗を一定の値にすることが著しく困難であった。

【0005】 そこで、チタンやチタン系合金などのチタン系材料や、これらのチタン系材料の窒化物をバリアメタルとして用いることで、シリコン薄膜層内へのアルミニウムの拡散およびAl-Si反応層の拡大を防止する技術が提案され、実施されている。

【0006】

【発明が解決しようとする課題】 ところが、バリアメタルとしてチタン系材料を用いた場合には、チタン自体が水素を著しく吸蔵する物質である。このため、シリコン薄膜層中の水素がチタン系合金からなるバリアメタルに吸収されてシリコン薄膜層中の水素が消失し、薄膜トランジスタの電流 (I_{ds}) 特性を著しく劣化させると行った問題が発生する。

【0007】 特に、有機EL素子の駆動回路に薄膜トランジスタを用いた表示装置においては、発光素子である有機EL素子が電流駆動であるため、薄膜トランジスタの I_{ds} が劣化すると、有機EL素子の輝度が低下し、安定した表示を行うことができなくなる。

【0008】 また、バリアメタルとしてチタン系材料の窒化物を用いる場合には、先ず、チタン系材料膜を形成し、このチタン系材料膜を窒素ガス雰囲気中において熱処理することによって窒化させている。ところが、この熱処理の際には、チタン系材料膜の窒化とともに、シリコン薄膜層中の水素がチタン系材料膜に吸収されてしまう。このため、チタン系材料をバリアメタルとして用いる場合と同様の問題が生じる。

【0009】 これを防止する方法として、反応性スパッタのような成膜方法によってチタン系材料の窒化物を直

接成膜する方法もあるが、このような方法では均一な膜質の窒化物膜を得ることは著しく困難である。

【0010】そこで、本発明は、安定した特性の薄膜トランジスタを得ることが可能な薄膜半導体装置の製造方法、およびこの方法を適用することで安定した表示が可能な有機EL素子を有する表示装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するための本発明の薄膜半導体装置の製造方法は、次のように行うことを特徴としている。まず、基板上に形成された薄膜トランジスタを覆う絶縁膜に、当該薄膜トランジスタのシリコン薄膜層に達する接続孔を形成し、当該接続孔の内壁を覆う状態で前記絶縁膜上にチタン系材料膜を成膜する。その後、窒素ガス雰囲気中において熱処理を施すことによって、チタン系材料膜を表面側から窒化させて窒化膜を形成する。そして、特にこの際、窒素ガス雰囲気中に水素ガスを添加する。以上の後、窒化膜上に配線材料膜を成膜する。

【0012】また本発明は、上述した工程を行い、さらに配線材料および窒化膜さらにはチタン系材料膜をパターンニングしてなる配線に接続させて、有機EL素子を形成する表示装置の製造方法でもある。

【0013】以上のような製造方法によれば、窒素ガス雰囲気中における熱処理によってチタン系材料膜を窒化させる際に、窒素ガス雰囲気中に水素ガスを添加することにより、熱処理雰囲気中からチタン系材料膜に対して水素が供給される。このため、この熱処理の際に、シリコン薄膜層からチタン系材料膜への水素の吸い上げを抑えることができる。したがって、チタン系材料膜を窒化させたバリアメタルを備えた薄膜半導体装置において、薄膜トランジスタのシリコン薄膜層中における水素濃度が確保され、薄膜トランジスタの I_{ds} 特性が良好に保たれる。

【0014】

【発明の実施の形態】以下、本発明の製造方法を適用した実施の形態を、図面に基いてその工程順に詳細に説明する。尚、以下の実施形態においては、薄膜半導体装置の製造方法を説明し、これに引き続いて表示装置の製造方法を説明する。

【0015】まず、図1(1)に示すように、石英ガラス、透明性結晶化ガラス等の絶縁性を有する基板1上に、第1絶縁膜2を介してシリコン薄膜層3を形成する。この際、まず、高密度プラズマCVD法等の低温プロセスにより、第1絶縁膜2上にポリシリコン膜またはアモルファスシリコン膜等のシリコン薄膜を、40nm程度の膜厚で形成する。次いで、このシリコン薄膜上に、リソグラフィ法によってレジストパターンを形成し、このレジストパターンをマスクに用いたエッチングによってシリコン薄膜をパターンニングする。これによ

て、所望の形状のシリコン薄膜3を得る。尚、このシリコン薄膜層3は、アモルファスシリコンやポリシリコンからなるものに限定されることはなく、公知の方法によって形成される単結晶シリコン膜であっても良い。また、以降の工程におけるパターンニングは、例えば上述したレジストパターンをマスクに用いたエッチングによることとする。

【0016】次に、プラズマCVD法などにより、窒化シリコン膜と酸化シリコン膜とを順次積層し、これによってシリコン薄膜層3を覆う状態で、第1絶縁膜2上に第2絶縁膜4を形成する。この第2絶縁膜4は、薄膜トランジスタのゲート絶縁膜となる。

【0017】その後、第2絶縁膜4上に、シリコン薄膜層3に積層させる状態で、ゲート電極5を形成する。この際、例えば、モリブデン/タンタル(Mo/Ta)合金等の金属材料からなる導電膜を、厚さ300から400nm程度にスパッタ成膜し、この導電膜をパターンニングすることによって、ゲート電極5を形成する。

【0018】その後、このゲート電極5を覆う状態で、第2絶縁膜4上に第3絶縁膜7を形成する。次いで、第3絶縁膜7および第2絶縁膜4に、ゲート電極5脇のシリコン薄膜層3部分をそれぞれ露出させる状態で、接続孔8を形成する。

【0019】次に、イオン注入法などの接続孔8からの不純物拡散によって、接続孔8の底部のシリコン薄膜層3にソース・ドレイン領域3aを形成する。これにより、基板1上に、トップゲート型の薄膜トランジスタ6が形成される。尚、この接続孔8を形成した状態においては、接続孔8の底面を構成するシリコン薄膜層3のソース・ドレイン領域3a表面に自然酸化膜9が形成された状態となる。

【0020】以上の後、図1(2)に示すように、接続孔8の内壁を凹状態で、チタン系材料膜11を形成する。このチタン系材料膜11は、チタンや、チタンに対して他の金属を添加してなるチタン系合金からなり、ここではチタン膜からなることとする。このチタン系材料膜11の成膜は、膜厚および膜質の面内均一性に優れたスパッタ法によって行われることとする。また、このチタン系材料膜11の膜厚は、バリアメタルとして必要とされる耐熱性、バリアメタルとしての加工性、およびここで必要とされる薄膜トランジスタ6のトランジスタ特性によって適宜選択されるが、ここでは一例として50nmに設定されることとする。

【0021】そして次の図2(1)を用いて説明する工程が、本発明に特有の工程となる。すなわち、ここでは、前述の工程で形成したチタン系材料膜11に対して、窒素ガス(N_2)雰囲気中において熱処理を施す。この際、窒素ガス雰囲気に対して水素ガス(H_2)を添加して熱処理を行うこととする。そして、チタン系材料膜11の表面層を窒化させて窒化膜12を形成する。ま

たこの熱処理によって、接続孔8の底部においては、チタン系材料膜11とその下層のシリコン薄膜層3とを反応させ、チタン系材料膜11の下層部分をシリサイド化させてシリサイド膜13を形成する。

【0022】上記熱処理においては、水素ガスの濃度が3atms%～5atms%の範囲になるように、窒素ガス雰囲気中に水素ガスを添加する。この際、例えば、基板1が配置された熱処理炉内の窒素ガス雰囲気中に、上記濃度範囲で水素ガスが添加されるように、熱処理炉内の窒素ガスおよび水素ガスの供給量を調整しながら熱処理を行うこととする。

【0023】また、熱処理を施す際には、窒素ガス雰囲気中を25℃/分よりも速い昇温速度で熱処理温度に昇温する。このような昇温速度の範囲で窒素ガス雰囲気中の急速加熱を行うことによって、シリコン薄膜層3からチタン系材料膜11への水素の吸蔵速度よりも、チタン系材料膜11のシリサイド化速度が速くなるように熱処理を進める。またこの際、基板1への熱処理の影響を考慮した場合、昇温速度を80℃/分以下とすることが好ましい。さらに、この際の熱処理温度は、250℃～420℃の範囲、好ましくは350℃付近に設定されることとする。熱処理温度を250℃以上とすることで、チタン系材料膜11におけるチタンの窒化を十分に進めることが可能になる。また、熱処理温度を420℃以下とすることで、薄膜トランジスタ6の特性および基板1への影響を排除した熱処理を行うことができる。

【0024】また、所定の熱処理温度に達してからの熱処理時間は、チタン系材料膜11の膜厚と熱処理温度とによって適宜選択されることとする。この際、接続孔8の底部に位置するチタン系材料膜11部分において、その上層を窒化させて窒化膜12を形成する一方その下層をシリサイド化してシリサイド膜13を形成し、この部分にチタン系材料膜11部分が残らない程度に十分な熱処理時間が設定されることが好ましい。このような一例として、成膜されたチタン系材料膜11の膜厚が50nmであり、熱処理温度を350℃に設定した場合には、熱処理時間は60分に設定される。

【0025】以上のようにしてチタン系材料膜11の熱処理を行い、その上層に窒化膜12を形成した後、図2(2)に示すように、このチタン系材料膜11の表面層に形成された窒化膜12を介して薄膜トランジスタ6のソース・ドレイン領域3aに接続された配線15を形成する。この配線15は、例えば、窒化膜12上にアルミニウム膜を成膜し、このアルミニウム膜と窒化膜12および窒化チタン系材料膜11とをパターンニングすることによって形成される。

【0026】以上によって、薄膜トランジスタ6とこれに接続させた配線15を形成して薄膜半導体装置を得る。

【0027】この薄膜半導体装置は、例えば表示装置の

駆動回路として用いられる。図3には、このような薄膜半導体装置で構成された駆動回路を有する表示装置の断面図を示す。この表示装置は、有機EL素子を発光素子として用いたものである。この表示装置の製造は、以上説明した薄膜半導体装置の製造工程に引き続き、次のような工程を行う。

【0028】先ず、上述の図1および図2を用いて説明した工程によって薄膜半導体装置を形成した後、この基板1上に平坦化絶縁膜31を形成し、この平坦化絶縁膜31に、配線15に達する接続孔32を形成する。

【0029】その後、平坦化絶縁膜31上に、接続孔32を介して配線15に接続された下部電極33を陽極（または陰極）として形成する。尚、ここで形成する表示装置が基板1側から表示光を取り出す透過型である場合には、この下部電極33は透明材料によって形成されることとする。

【0030】次に、この下部電極33の周縁を覆う絶縁膜34をパターン形成する。また、この絶縁膜34上には、ここでの図示を省略した補助配線をパターン形成しても良い。

【0031】その後、絶縁膜34から露出した下部電極33上に、下部電極33の露出面を完全に覆う状態で有機EL層36をパターン形成する。この有機EL層36は、少なくとも有機発光層を含む複数の有機層からなり、基板1の上方に配置したマスク（図示省略）上からの蒸着によって、絶縁膜34の開口部に形成される。

【0032】以上の後、有機EL層36および絶縁膜34を覆う状態で、また補助電極を形成した場合にはこの補助電極に接続させた状態で、ベタ膜状の上部電極37を陰極として成膜する。尚、下部電極33が陰極として形成されている場合には、この上部電極37は陽極として形成されることとする。さらに、ここで形成する表示装置が基板1と反対側から表示光を取り出す上面発光型である場合には、この上部電極37は透明材料によって形成されることとする。

【0033】以上のようにして、陽極（下部電極33）と陰極（上部電極37）との間に有機EL層36を挟持してなる有機EL素子38を、薄膜トランジスタ6が形成された基板1上に形成する。そして、この有機EL素子38を覆う状態で、上部電極37上に封止層38を形成し、薄膜トランジスタ6に接続された有機EL素子38を有する表示装置を完成させる。

【0034】以上説明した製造方法によれば、図2

(1)を用いて説明した窒素ガス雰囲気中における熱処理によってチタン系材料膜11を窒化させる際に、窒素ガス雰囲気中に水素ガスを添加することにより、熱処理雰囲気中からチタン系材料膜11に対して水素が供給される。このため、この熱処理の際に、シリコン薄膜層3からチタン系材料膜11への水素の吸い上げを抑えることができる。したがって、薄膜トランジスタ6のシリコ

ン薄膜層3中における水素濃度が確保され、薄膜トランジスタ6の電流特性(I_{ds} 特性)が良好に保たれる。

【0035】この結果、バリアメタルとして窒化膜を設けることで、シリコン薄膜層3と配線15のアルミニウムとの反応を抑えて微細化を達成し、かつシリコン薄膜層3と配線15との間の安定したコンタクト抵抗を確保しつつも、 I_{ds} 特性に優れた薄膜トランジスタを有する薄膜半導体装置を得ることが可能になる。

【0036】図4は、窒化膜12を形成する工程における水素ガスの添加量と、形成された薄膜トランジスタの I_{ds} との関係を示すグラフである。尚、ここでは、水素ガスが添加された窒素ガス雰囲気中を、急速加熱(昇温速度を50℃/分)した場合と、徐々に加熱(昇温速度を2℃/分)した場合とに関して、水素ガスの添加量と I_{ds} との関係を示した。また、 I_{ds} は、バリアメタルを設けずに形成した薄膜トランジスタの I_{ds} に対する相対比として示した。

【0037】このグラフに示すように、水素添加量が3atms%~5atms%の範囲では、窒素ガス雰囲気中の昇温速度によらず、バリアメタルなしの薄膜トランジスタの5割~10割程度に I_{ds} を保たれることが確認された。また、この水素添加量の範囲では、窒素ガス雰囲気中の昇温速度が高い方が、 I_{ds} が高い薄膜トランジスタが得られることが確認された。

【0038】また、引き続き図3を用いて説明したように、薄膜トランジスタ6に接続させる状態で有機EL素子38を形成することで、この有機EL素子38は I_{ds} が高い値に保たれた薄膜トランジスタ6によって電流駆動されることになり、 I_{ds} の劣化による輝度の低下を防止することができる。

【0039】この結果、ある程度の輝度を確保しつつも、上述したように薄膜トランジスタの微細化によって画素サイズの微細化を達成でき、高精細な表示が可能な表示装置を得ることができる。

【0040】尚、上述した実施形態においては、薄膜トランジスタがトップゲート型である場合を説明した。しかし、本発明の薄膜半導体装置の製造方法および表示装置の製造方法は、薄膜トランジスタがボトムゲート型である場合にも同様に適用可能であり、同様の効果を得ることができる。

【0041】

【発明の効果】以上説明したように、本発明の薄膜半導体装置の製造方法によれば、薄膜トランジスタを構成するシリコン薄膜層上のチタン系材料膜を窒化させて窒化膜を形成する際に、窒素ガス雰囲気中に水素ガスを添加する構成をとったことで、チタン系材料膜へのシリコン薄膜層からの水素の吸蔵を防止して、シリコン薄膜層中における水素濃度を確保し、薄膜トランジスタの電流特性(I_{ds} 特性)を良好に保つことができる。この結果、チタン系材料膜を窒化させた窒化膜をバリアメタルとして備えつつも、 I_{ds} 特性に優れた薄膜トランジスタを有する薄膜半導体装置を得ることが可能になる。この半導体装置は、バリアメタルとして窒化膜が設けられたものであるため、シリコン薄膜層とこれに接続される配線材料(アルミニウム)との反応が抑えられて微細化を達成することができ、かつ配線とシリコン薄膜層との安定したコンタクト抵抗を確保することができる。

【0042】また本発明の表示装置の製造方法によれば、上述のようにして形成された I_{ds} 特性に優れた薄膜トランジスタに対して、有機EL素子を接続させることで、薄膜トランジスタの I_{ds} の劣化による有機EL素子の輝度の低下を防止することができる。この結果、ある程度の輝度を確保しつつも、薄膜トランジスタの微細化によって画素サイズの微細化を達成でき、高精細な表示が可能な表示装置を得ることができる。

【図面の簡単な説明】

【図1】実施形態における薄膜半導体装置の製造を示す断面工程図(その1)である。

【図2】実施形態における薄膜半導体装置の製造を示す断面工程図(その2)である。

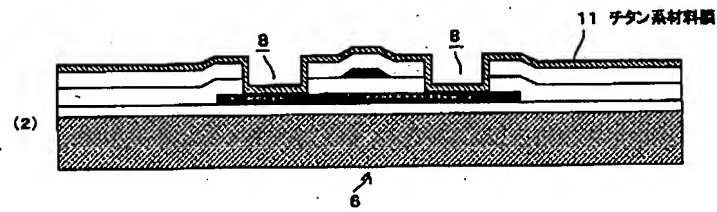
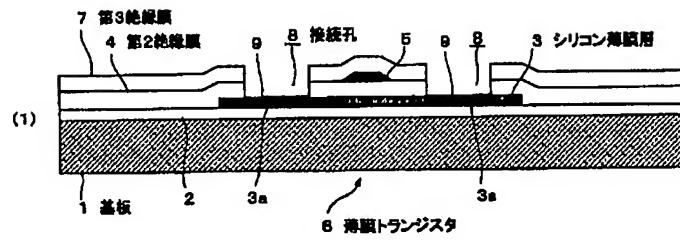
【図3】実施形態における薄膜半導体装置を備えた表示装置の製造を説明するための断面図である。

【図4】熱処理における水素ガスの添加量と薄膜トランジスタの I_{ds} との関係を示すグラフである。

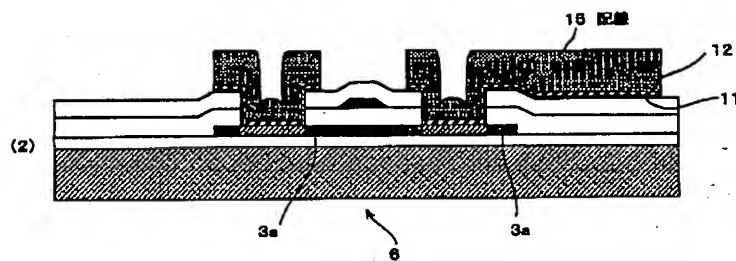
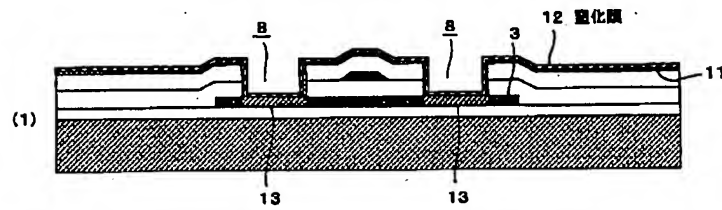
【符号の説明】

1…基板、3…シリコン薄膜層、4…第2絶縁膜、6…薄膜トランジスタ、7…第3絶縁膜、8…接続孔、11…チタン系材料膜、12…窒化膜、15…配線、38…有機EL素子

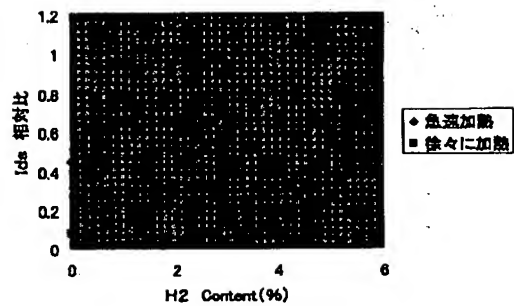
【図1】



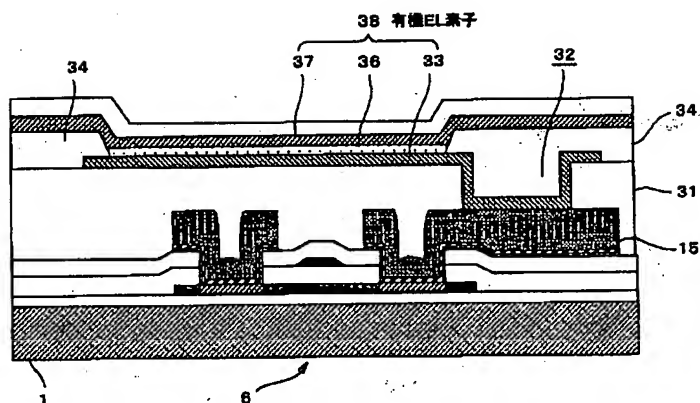
【図2】



【図4】



【図3】



フロントページの続き

(51)Int.Cl.⁷

H05B 33/10
33/14

識別記号

F I

H01L 29/78
21/88

テームド (参考)

616U
R

Fターム(参考) 3K007 AB11 AB17 EB00 FA01 FA03
4M104 AA09 BB14 CC01 DD26 DD79
DD84 DD86 DD89 FF18 FF22
GG09
5C094 AA05 AA21 BA03 BA29 CA19
DA14 DA15 DB04 EA04 EA07
EB02
5F033 HH08 HH18 HH33 JJ08 JJ18
JJ27 JJ33 KK04 KK05 MM08
MM13 NN06 NN07 PP15 QQ37
QQ58 QQ65 QQ70 QQ73 QQ78
VV15 WW03 WW04
5F110 AA14 CC02 CC07 CC08 DD02
DD03 DD11 DD12 EE06 FF02
FF03 FF09 GG02 GG12 GG13
GG15 GG25 GG45 HJ13 HL01
HL03 HL05 HL12 HL23 HL26
NN02